

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-247788  
 (43)Date of publication of application : 27.09.1996

(51)Int.CI. G01D 5/245  
 G01D 5/249  
 G08C 19/16

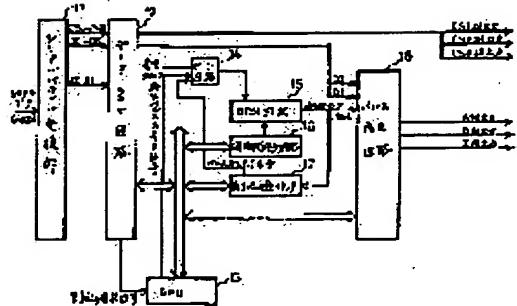
(21)Application number : 07-048453 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22)Date of filing : 08.03.1995 (72)Inventor : SUGIMURA MAKOTO  
 YOSHIOKA KOJI

## (54) ROTARY ENCODER RECEIVING CIRCUIT

## (57)Abstract:

PURPOSE: To obtain an AC servo driver by which the number of signal lines is reduced and which is provided with mass productivity and reliability by a method wherein counted data and a phase excitation changeover signal are transmitted, as data, by one line.

CONSTITUTION: A serial-parallel conversion part 11 receives serial data which is transmitted from a rotary encoder, and it parallel converts the serial data into counted data to be counted in a phase A and a phase B, into three phase excitation changeover signals CS1, CS2, CS3 for a three-phase AC servomotor and into status information in a phase Z for a reference signal. A data latch circuit 12 latches the signals. A BRM circuit 15 generates regenerative timing pulses so as to be regenerated into the phase A and the phase B having a phase difference of 90°, an output frequency is decided by a frequency setting circuit 16, and the number of the regenerative timing pulses is counted by a regenerative-pulse-number counter 17. A pulse regeneration circuit 18 converts the phase A and the phase B having the phase difference of 90° into the phase Z for the reference signal during one rotation on the basis of the regenerative timing pulses so as to be output.



## LEGAL STATUS

[Date of request for examination] 24.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3168861

[Date of registration] 16.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-247788

(43)公開日 平成8年(1996)9月27日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 1 D 5/245	1 0 2		G 0 1 D 5/245	1 0 2 U
				1 0 2 D
5/249			5/249	R
G 0 8 C 19/16			G 0 8 C 19/16	

審査請求 未請求 請求項の数4 OL (全7頁)

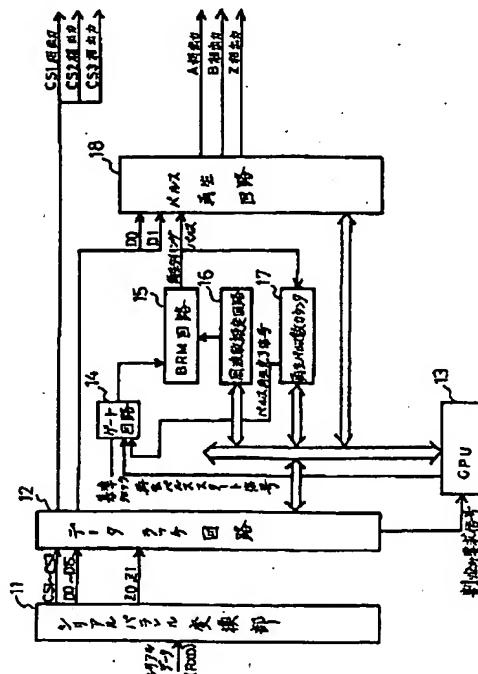
(21)出願番号	特願平7-48453	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成7年(1995)3月8日	(72)発明者	杉村 誠 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	吉岡 浩二 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	弁理士 滝本 智之 (外1名)

(54)【発明の名称】 ロータリエンコーダ受信回路

(57)【要約】

【目的】 本発明はエンコーダの出力信号線を減らし、安定した受信動作と各信号出力の信号再生を行い、量産性と信頼性の高いACサーボドライバを提供することを目的とする。

【構成】 シリアルデータを受信しパラレル変換するシリアルパラレル変換部11と、カウントデータおよびC S1, CS2, CS3相とZ状態情報をタッチするデータラッピング回路12と、A, B2相に再生するための再生タイミングパルスを発生させるBRM回路15と、出力周波数を決定する周波数設定回路16と、再生タイミングパルスの数をカウントする再生パルス数カウンタ17と、再生タイミングパルスにもとづき90度位相差のA/B相や一回転中の基準信号Z相に変換するパルス再生回路18により構成している。



THE BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】ロータリエンコーダから伝送されてくるシリアルデータを受信し、お互いに90度位相差を有するA, B 2相の位相によりカウントされたカウントデータと、3相ACサーボモータの相励磁切り替え信号（コミュニケーション信号）CS1, CS2, CS3相と、1回転中の原点を示す基準信号Zの状態情報をと並行で変換するシリアルパラレル変換部と、前記シリアルパラレル変換部からのカウントデータおよびCS1, CS2, CS3相とZ相状態情報をラッチするデータラッ奇回路と、90度位相差のA, B 2相に再生するための再生タイミングパルスを発生させるBRM回路と、前記BRM回路の出力周波数を決定する周波数設定回路と、前記再生タイミングパルスの数をカウントする再生パルス数カウンタと、前記再生タイミングパルスにもとづき90度位相差のA, B 2相や一回転中の基準信号Z相に変換するパルス再生回路とを備えたロータリエンコーダ受信回路。

【請求項2】再生パルスタイミングにもとづき90度位相差のA相およびB相のレベルを決定するA/B相再生回路と、前記A/B相再生回路により生成されたA相と入力信号として与えられるZ相出力要求信号によりZ相の初期設定を行うZ相初期設定回路と、前記Z相初期設定回路によりカウントがクリアされた後、A相の変化エッジを検出しN進アップダウンのカウンタ動作を行い、かつカウント値がゼロ一致したタイミングにおいてZ相の信号のレベルを決定するA相一回転カウンタ回路からなるパルス再生回路を備えた請求項1記載のロータリエンコーダ受信回路。

【請求項3】データラッ奇回路と前記周波数設定回路と前記再生パルス数カウンタと前記パルス再生回路とが、マイクロプロセッサ(CPU)とバス接続されていて、シリアルデータが受信されるサンプリングごとに、前回サンプリング時のA/B相カウントデータと今回サンプリング時のA/B相カウントデータとの差分から、前記再生パルス数カウンタと周波数設定回路へサンプリング間のA/B相再生パルス数の書き込みを行うとともにZ相状態情報により、前記パルス再生回路へZ相発生タイミングの初期設定を行い、前記初期設定後は前記A相一回転カウンタ回路のゼロ一致により、Z相信号のレベルが決定されることを特徴とする請求項1または請求項2記載のロータリエンコーダ受信回路。

【請求項4】シリアルデータが受信されるサンプリング時に、前記Z相状態情報のZ相がアクティブを検出した場合、以前Z相アクティブを検出した際のA/B相再生パルス数と今回のA/B相再生パルス数とを比較し、今回の方がA/B相再生パルスが少ない場合、再度Z相発生タイミングの初期設定を行うことを特徴とする請求項1または請求項2または請求項3記載のロータリエンコーダ受信回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は回転体の回転位置を検出するためのロータリエンコーダのデータの受信回路に関するものであり、特に本受信回路はインクリメンタルエンコーダに対応したACサーボドライバのサーボ処理に利用されるものである。

## 【0002】

【従来の技術】各種機械の駆動用に使われるサーボモータにはブラシ付きのDCサーボモータとブラシのないACサーボモータ（DCブラシレスサーボモータ）があり、近年サーボモータに組み込まれて使用されるロータリエンコーダが普及している。ACサーボモータに組み込まれているエンコーダはインクリメンタルエンコーダとアブソリュートエンコーダに大別される。インクリメンタルエンコーダは各種機械のACサーボモータに取り付けられて広く使用されており、ACサーボ用エンコーダとして主流を占めている。一方アブソリュートエンコーダは1回転内の絶対位置が判別できるエンコーダで、原点復帰動作が不要なことから多関節ロボットをはじめとする大型のロボット用サーボモータなどに普及している。

【0003】以下に従来のインクリメンタルエンコーダとエンコーダ受信回路について図9により説明する。

【0004】エンコーダ出力部91は、90度位相差を有するA, B相の信号と、1回転1パルスの原点基準Z信号と、コミュニケーション信号CS1, CS2, CS3を信号送信回路92から出力し、またサーボドライバ入力部93は信号受信回路94にて、A, B相の信号、Z信号、CS1, CS2, CS3をそのままパラレルに受信しサーボ処理に用いている。

## 【0005】

【発明が解決しようとする課題】しかしながら上記従来の構成では、出力信号の数が多いので配線の数が多いため量産性が悪く、機器への誤配線、信号線自身の断線も起こりやすいという問題点があった。

【0006】本発明は上記従来の問題点を解決するもので、信号をシリアルデータ伝送することにより信号線の数を削除し、かつシリアルデータ受信後A, B, Z, CS1, CS2, CS3を容易に再生することにより、量産性と信頼性を兼ね備えたACサーボドライバを提供することを目的とする。

## 【0007】

【課題を解決するための手段】この目的を達成するため本発明のインクリメンタルエンコーダ受信回路は、ロータリエンコーダから伝送されてくるシリアルデータを受信し、お互いに90度位相差を有するA, B 2相の位相によりカウントされたカウントデータと、3相ACサーボモータの相励磁切り替え信号（コミュニケーション信号）CS1, CS2, CS3相と、1回転中の原点を示す基準信号Zの状態情報をと並行で変換するシリアルパラレル変換部と、前記シリアルパラレル変換部からのカウントデータおよびCS1, CS2, CS3相とZ相状態情報をラッチするデータラッ奇回路と、90度位相差のA, B 2相に再生するための再生タイミングパルスを発生させるBRM回路と、前記BRM回路の出力周波数を決定する周波数設定回路と、前記再生タイミングパルスの数をカウントする再生パルス数カウンタと、前記再生タイミングパルスにもとづき90度位相差のA, B 2相や一回転中の基準信号Z相に変換するパルス再生回路とを備えたロータリエンコーダ受信回路。

す基準信号Zの状態情報とにパラレル変換するシリアルパラレル変換部と、前記シリアルパラレル変換部からのカウントデータおよびCS1, CS2, CS3相とZ状態情報をラッチするデータラッチ回路と、90度位相差のA, B2相に再生するための再生タイミングパルスを発生させるBRM回路と、前記BRM回路の出力周波数を決定する周波数設定回路と、前記再生タイミングパルスの数をカウントする再生パルス数カウンタと、前記再生タイミングパルスにもとづき90度位相差のA, B2相や一回転中の基準信号Z相に変換するパルス再生回路とを備えている。

## 【0008】

【作用】この構成によって、A, B, Z, CS1, CS2, CS3相の信号をシリアルデータとして1回線で伝送できるため、ACサーボドライバの入力信号数を減らし、かつA, B, Z, CS1, CS2, CS3を容易に再生でき、量産性に優れた信頼性の高いACサーボドライバを得ることができる。

## 【0009】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。

【0010】図1は本発明の一実施例におけるエンコーダ受信回路図である。図1において、11はシリアルパラレル変換部、12はデータラッチ回路、13はマイクロプロセッサ、14はゲート回路、15はBRM回路、16は周波数設定回路、17は再生パルス数カウンタ、18はパルス再生回路である。

【0011】図2(a)は送信側のロータリエンコーダのアップダウンカウンタの動作波形例であり、ここでは16ビットカウンタの動作例を示す。

【0012】図2(b)は送信側のロータリエンコーダのアップダウンカウンタの全体動作波形例である。

【0013】図3はシリアルパラレル変換部11に入力されるシリアルデータ構成図であり、データ1フレームはスタートビット、モードビット、データビット、パリティビット、ストップビット、アイドルビットなどで構成される。また、マイクロプロセッサ13に入力される割込み信号は、シリアルデータのフレームに同期して発生している。

【0014】図4は送信側のロータリエンコーダから送られてくるシリアルデータ内のZ相状態情報を示したものであり、シリアルデータの1フレームごとにA, B, Z相の変化におけるZ相状態情報を表したものである。

【0015】図5はパルス再生回路18の構成例であり、A/B相再生回路51, Z相初期設定回路52, A相一回転カウンタ回路53より構成される。

【0016】図6はA/B相再生動作波形例であり、電源ON時はじめの一回のみA/B相の初期セット動作が行われ、以後のフレームごとにA, B2相の出力が行われているのを示している。

【0017】図7はZ相再生動作波形例であり、Z出力要求信号のセット後、A相一回転カウンタ回路53によりZ相の出力がなされているのを示したものである。

【0018】図8は本発明の一実施例におけるマイクロプロセッサの動作フローチャートである。

【0019】以上のように構成されたロータリエンコーダ受信回路について、その動作を説明する。まず、パルス再生を行うためのデータは、ロータリエンコーダからシリアルデータとして伝送されてくる。たとえば、図2(a)のように電源ONした場合、エンコーダ側では現在のA, B2相の信号レベル検出により初期値“3”がセットされ、軸がCWに回転すると3→2→1→0→65535と変化し、以降カウンタは図2(b)のようにサイクリックカウンタとして動作するとともに、シリアルデータの1フレームごとに現在カウント値をA/B相カウントデータ情報を(D0~D15)として受信側に伝送する。

【0020】またZ相状態情報(Z1, Z0)は、シリアルデータの1フレームごとのZ相の変化により決定され、Z1が1フレーム前のZ状態を表し、Z0が現在のフレームのZ状態を表している。たとえば、図4(a)h点ではZ相が“L”的ためZ1, Z0は0, 0、i点ではZ相が“H”的ためZ1, Z0は0, 1、j点ではZ相が“H”的ためZ1, Z0は1, 1、k点ではZ相は“L”的ためZ1, Z0は1, 0となる。図4(b)はm点からn点の1フレーム内において、Z相が“L”→“H”→“L”となったので、n点におけるZ1, Z0は0, 1に、o点におけるZ1, Z0は1, 0になっている。

【0021】次に、ロータリエンコーダからのシリアルデータは図3に示す構成で、受信側に送られる。このシリアルデータの出力周期は制御対象モータの電気的時定数の2倍以上の速さで伝送される。このようにロータリエンコーダからは、図2(a)および図2(b)のA/B相カウントデータと図4(a)および図4(b)のZ相状態情報を、図3のシリアルデータの構成にて所定時間ごとに繰り返し受信回路側に転送される。

【0022】次にA/B相再生について図6を用いて動作を説明する。ロータリエンコーダにて検出されたA/B相カウントデータは、シリアルデータ(RXD)としてシリアルパラレル変換部11に順次入力され、すべてのビットが入力された後、データラッチ回路12に送られる。データラッチ回路12はラッチが完了すると、マイクロプロセッサ13に対して図6の割込み要求信号を発生する。マイクロプロセッサ13は割込み処理プログラムにおいて、伝送してきたA/B相カウントデータをデータラッチ回路12より読み込む。もし、割込み処理プログラムが主電源ON後はじめての場合、パルス再生回路18に対して現在のA/B相カウントデータの下位2ビット(D1, D0)の情報から、A相出力、B相

出力を初期設定するためのラッチ信号として、A/B相初期ラッチ信号を出力する。また2回目以降マイクロプロセッサ13は、前回の割込み時のA/B相カウントデータと今回のA/B相カウントデータの差分パルスを求め、再生パルス数カウンタ17と周波数設定回路16に差分パルスを書き込むとともに、パルス再生方向（モータの回転方向）信号をパルス再生回路18に対して出力した後、ゲート回路14に対して再生パルススタート信号を出力する。ゲート回路14は、基準クロックをBRM回路15にクロック出力し、BRM回路15は入力されたクロックと、周波数設定回路16により決められた周波数にもとづき再生タイミングパルスを出力する。パルス再生回路18は、再生タイミングパルスのタイミングにおいて、あらかじめ設定されているパルス再生方向信号にもとづいて、A相出力およびB相出力を決定する。また、同時に再生タイミングパルスは再生パルス数カウンタ17に入力される。再生パルス数カウンタ17は、再生パルス数がダウンカウントされゼロを検出すると、ゲート回路14に対してパルス再生完了信号を出力しBRM回路15へのクロック出力を停止させる。

【0023】以上動作の繰り返しにより、A相およびB相の出力を連続的に行う。次にZ相再生について、図7および図5を用いて動作を説明する。前記のA/B相再生動作の際、Z相状態情報のZ1, Z0が主電源ON後はじめて0, 1の場合、パルス再生回路18内のZ相初期設定回路52に対してZ出力要求信号を出力する。Z相初期設定回路52は、A/B相再生回路51により生成されたA相出力のエッジ検出により、次のA相の

“L” → “H” → “L”的パルスに同期させてZ相を出力する。また、Z相初期設定回路により出力されたZ相出力のパルスにより、A相一回転カウンタ回路53のカウント値がゼロにクリアされる。A相一回転カウンタ回路53のカウンタは、A/B相再生回路51のA相出力を入力し、あらかじめマイクロプロセッサ13から設定されたカウント値（エンコーダー回転の分解能パルス数）のアップダウンカウント（CCW回転時、A相立ち上がりエッジ検出によりアップカウント、CW回転時、A相立ち下がりエッジ検出によりダウンカウント）を行うとともに、ゼロを検出することによりゼロ検出信号を出力し、A相の“L” → “H” → “L”的パルスに同期させてZ相を出力する。

【0024】以上により、主電源ON後一回のみZ相の位置をマイクロプロセッサ13から、A相一回転カウンタ回路53に記憶されることにより、以後マイクロプロセッサ13が管理せずにZ相の生成が可能となる。

【0025】次にマイクロプロセッサ13の動作フローチャートを図8に示す。前記A, B2相の再生動作と前記Z相再生動作は、図8のマイクロプロセッサ13のフローチャートにもとづき行われている。

【0026】また、前記Z相再生動作において、はじめ

てZ相状態情報のZ1, Z0が0, 1を検出したフレームにて、モータの回転数が高いと前回の割込み（フレーム）におけるA/B相カウントデータと今回の割込み（フレーム）におけるA/B相カウントデータとの差分パルス数（再生パルス）が大きくなり、再生パルス内における本来のZ相の出力タイミングにズレを生じる場合がある。よって、マイクロプロセッサ13はZ相状態情報のZ1, Z0が0, 1を検出することに、差分パルス数が以前Z相状態情報のZ1, Z0が0, 1を検出した時より小さいかどうかの判断を行い、今回の方が小さい場合はパルス再生回路18内のZ相初期設定回路52に対してZ出力要求信号を出力する。これにより、A相一回転カウンタ回路53のカウント値が再度クリアされ、Z相位置が再記憶させるためズレのないZ相出力が可能になる。

【0027】以上のような構成により、A/B相カウントデータやコミュニケーションデータ、Z相状態情報などをシリアル伝送することにより信号線を1回線にでき、機器の配線工数の削減や信号線の断線に対して信頼性を向上させることができるとともにシリアルデータを受信した後、もとのA, B2相およびZ相に精度よく再生できるACサーボドライバを構築できる。

#### 【0028】

【発明の効果】以上のように本発明は、A, B, Z, CS1, CS2, CS3信号をシリアルデータとしてデータ伝送することにより、従来4本必要としていた信号線の数を4本にまで削減することができるとともに、シリアルデータ受信後A, B, Z, CS1, CS2, CS3を容易に再生でき、量産性と信頼性を兼ね備えたACサーボドライバを実現できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例におけるエンコーダ受信回路図

【図2】本発明の一実施例における送信側ロータリエンコーダのアップダウンカウンタ動作波形図

【図3】本発明の一実施例におけるシリアルデータ構成図

【図4】本発明の一実施例におけるZ相状態情報動作波形図

【図5】本発明の一実施例におけるパルス再生回路図

【図6】本発明の一実施例におけるA/B相再生動作波形図

【図7】本発明の一実施例におけるZ相再生動作波形図

【図8】本発明の一実施例におけるマイクロプロセッサ動作フローチャート

【図9】従来のロータリエンコーダとロータリエンコーダ受信回路の送受信構成図

#### 【符号の説明】

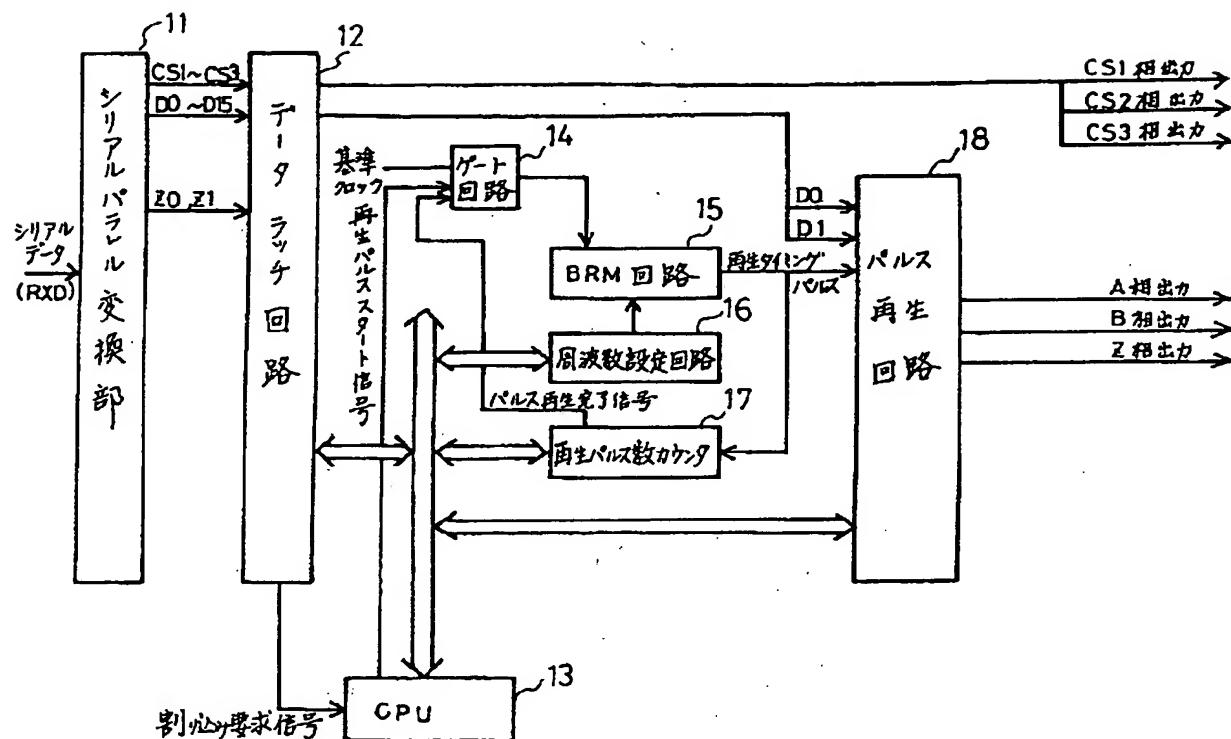
1 1 シリアルパラレル変換部

50 1 2 データラッチ回路

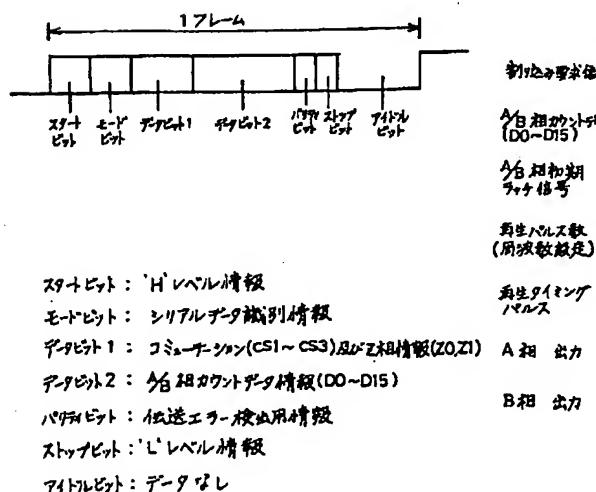
- 1 3 マイクロプロセッサ  
 1 4 ゲート回路  
 1 5 BRM回路  
 1 6 周波数設定回路  
 1 7 再生パルス数カウンタ  
 1 8 パルス再生回路  
 5 1 A/B相再生回路

- 5 2 Z相初期設定回路  
 5 3 A相一回転カウンタ回路  
 9 1 エンコーダ出力部  
 9 2 信号送信回路  
 9 3 サーボドライバ入力部  
 9 4 信号受信回路

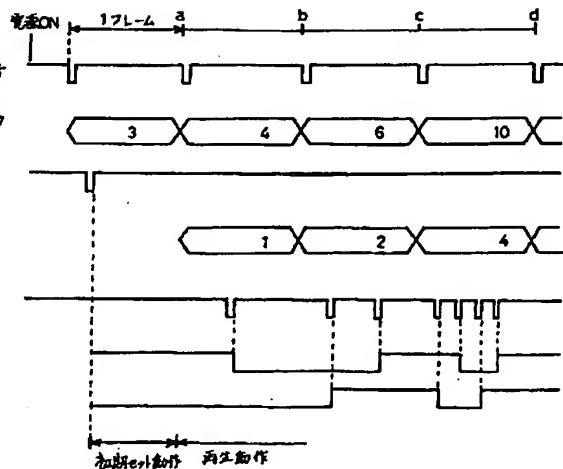
【図1】



【図3】

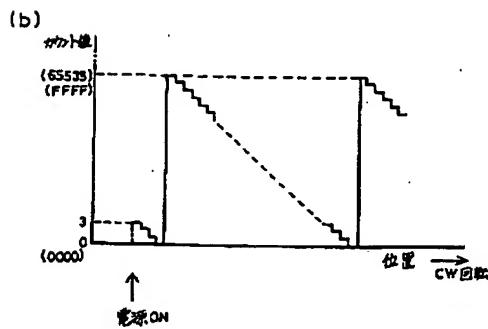
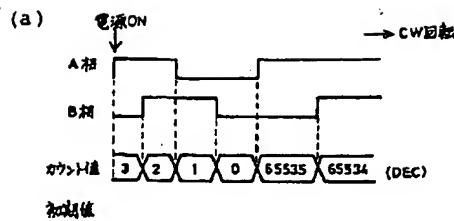


【図6】

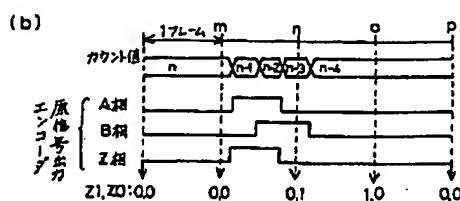
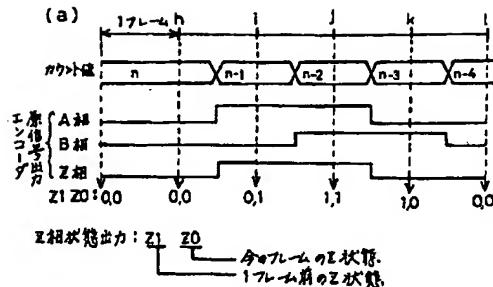


BEST AVAILABLE COPY

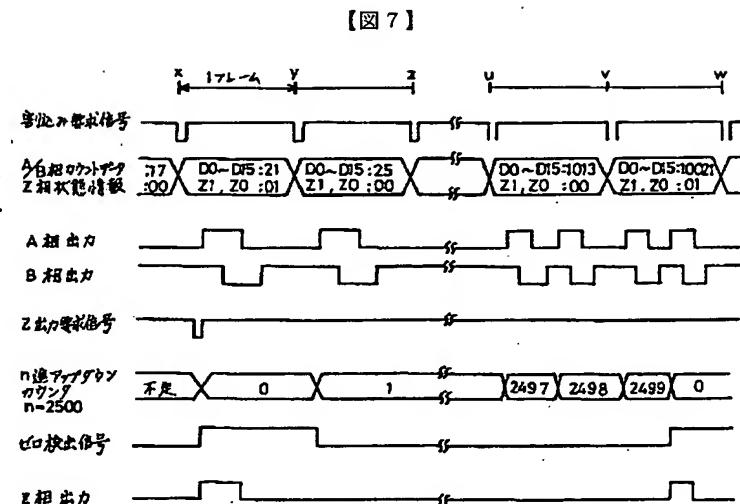
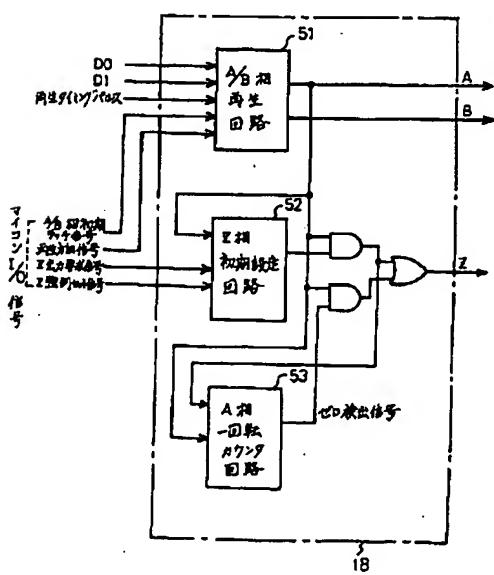
【図2】



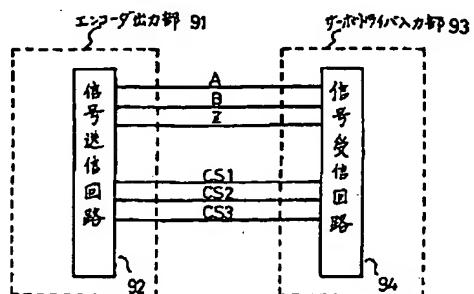
【図4】



【図5】

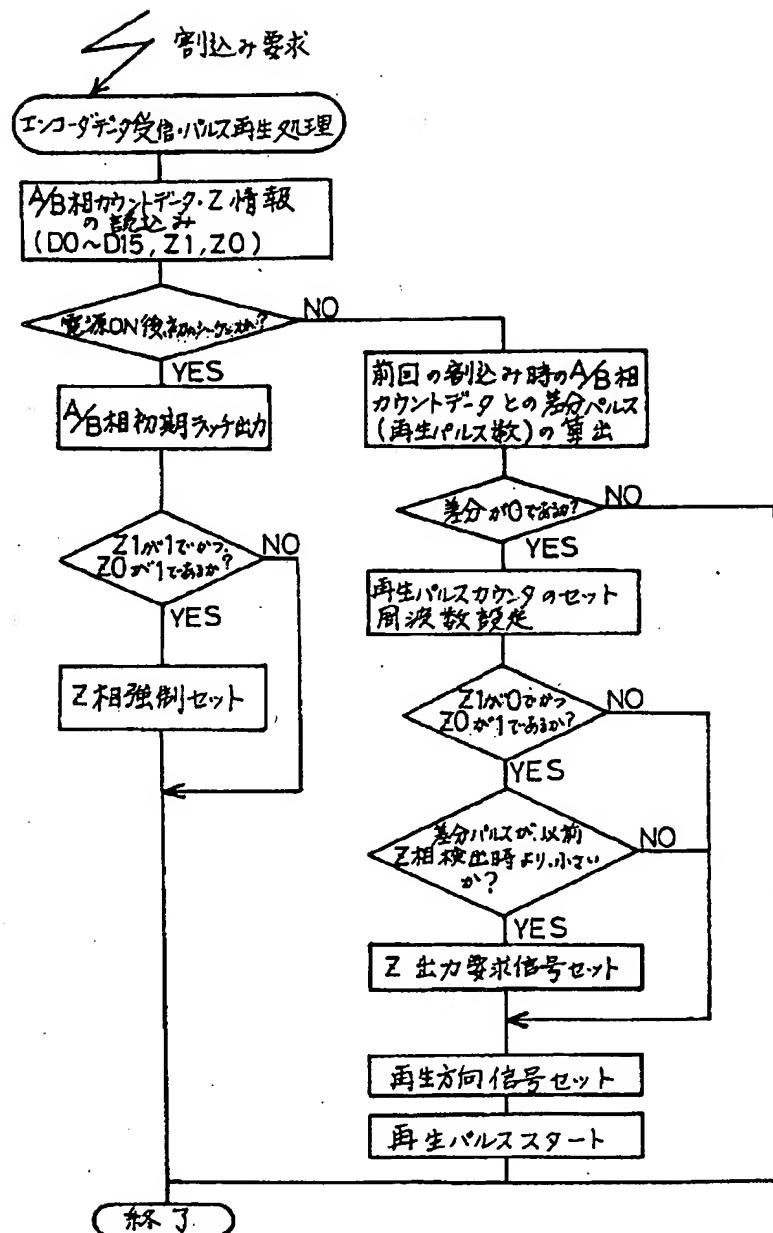


【図9】



BEST AVAILABLE COPY

【図8】



BEST AVAILABLE COPY